

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-339769

(43)Date of publication of application : 22.12.1998

(51)Int.Cl.

G01R 31/319

G01R 31/28

(21)Application number : 09-151261

(71)Applicant : NEC CORP

(22)Date of filing : 09.06.1997

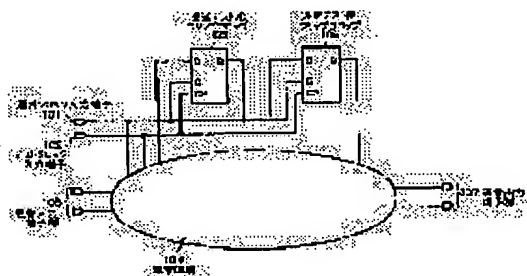
(72)Inventor : YAMAUCHI TAKASHI

(54) DELAY TESTING METHOD AND FLIP FLOP USED FOR IT

(57)Abstract:

PROBLEM TO BE SOLVED: To perform the high-speed delay test of an LSI with a tester having a low operating frequency without changing the normal circuit design method by using an FF that results in single-phase operation on normal operation and bi-phase operation on testing and reducing the difference between the output timing of a clock and the input edge timing.

SOLUTION: In a single-phase operation for synchronizing input and output timings to the same clock edge on normal operation, an FF for performing bi-phase operation where input and output timings are synchronized to each different clock edge on testing is used for testing the delay between FFs. The design system of a normal circuit is as conventional, no other overhead is accompanied since only the FF configuration is changed, the difference between the timing of the edge of a block used for synchronizing output and the timing of the edge used for synchronizing input is used, and the difference between the output and input edges of the clock is reduced to judge the result of the delay test, thus achieving a delay test speedily without increasing the clock frequency of a tester.



LEGAL STATUS

[Date of request for examination]

09.06.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2953435

[Date of registration]

16.07.1999

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平10-339769

(43) 公開日 平成10年(1998)12月22日

(51) Int.Cl.⁶

G 0 1 R 31/319
31/28

識別記号

F I

G 0 1 R 31/28

R
G

審査請求 有 請求項の数 5 O L (全 13 頁)

(21) 出願番号 特願平9-151261

(22) 出願日 平成9年(1997)6月9日

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 山内 尚

東京都港区芝五丁目7番1号 日本電気株
式会社内

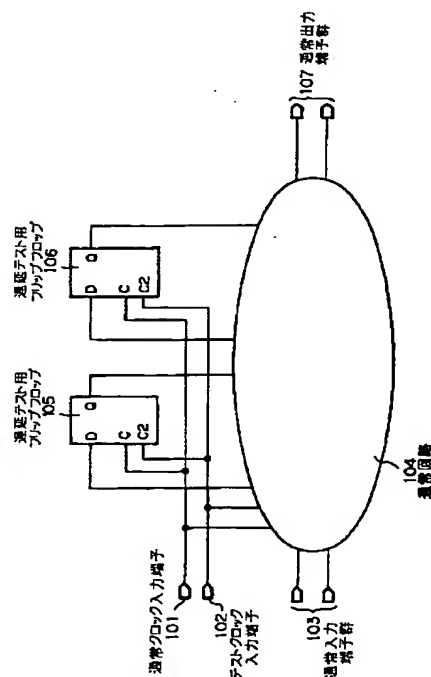
(74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 遅延テスト方法および該遅延テスト方法に使用するフリップフロップ

(57) 【要約】

【課題】 通常回路の設計法を変更することなく、動作周波数の低いテスターで、高速なLSIの遅延テストを行う。

【解決手段】 クロック入力CとC2を有するフリップフロップ105と106を使用し、通常動作時に、クロック入力C2のクロックを停止させ、クロック入力Cのクロックの1つのエッジに同期させて入出力する動作とし、遅延テスト時には、両クロックを動作させ、入力と出力のエッジの別々のクロックに同期させる。



1

【特許請求の範囲】

【請求項 1】 複数のクロック入力をもち、該複数クロック入力のうち 1 つのクロック入力以外に固定値を設定することにより、通常動作時に固定値を設定されでない 1 本のクロックの 1 つのクロックエッジに入力と出力のタイミングが同期する 1 相動作をし、テスト時に複数のクロック入力を動作させ入力と出力のタイミングが別々のクロックエッジに同期する 2 相動作となるフリップフロップを使用し、出力の同期に使用するクロックのエッジのタイミングと入力の同期に使用するクロックのエッジのタイミングの差を使用して前記フリップフロップ間の遅延テストを行う遅延テスト方法。

【請求項 2】 請求項 1 に記載の遅延テスト方法に使用されるフリップフロップであって、内部に複数あるいは 1 つのマスター側ラッチとスレーブ側ラッチを有し、マスター側ラッチのうち少なくとも 1 つのラッチは 2 つのクロック入力をもち、フリップフロップの入力タイミングを示すクロックエッジの変化後のクロック値にあたる値を、前記マスターラッチの該 2 つのクロック入力のうちいずれか少なくとも 1 つのクロック入力に与えることによりホールド状態となる構成をとり、スレーブ側ラッチは該 2 つのクロック入力のうち 1 つのみを使用し、フリップフロップの入力タイミングを示すクロックエッジの変化後のクロック値にあたる値を与えることによりスルーモードとなる構成をとるフリップフロップ。

【請求項 3】 セット入力とリセット入力を有する、請求項 2 記載のフリップフロップ。

【請求項 4】 スキャンフリップフロップである、請求項 2 記載のフリップフロップ。

【請求項 5】 外部クロック入力端子が 1 本であり、該外部クロック入力端子から入力されたクロックをもとにテスト用クロックを生成するクロック生成手段を有する、請求項 2 記載のフリップフロップ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は LSI のテスト方法に関し、特に遅延テスト方法に関する。

【0002】

【従来の技術】 従来、一般に LSI の遅延テストは、高い周波数のクロックが発生可能なテスターを使用して行われてきた。この場合、一般に非常に高性能なテスターでなければ遅延テストが行えない、あるいは、最先端の高速 LSI の場合、テスターの動作周波数を越え、実施不可能となる場合があるという問題があった。

【0003】 最近では、動作周波数の低いテスターで遅延テストを行う方法もいくつか提案されている。International Test Conference 1995 の 302 ページから 310 ページに掲載の High-Performance Circuit Testing with Slow-Speed Testers において種々の方法が述べられているが、いずれも、回路のオーバーヘッドが大きい

2

か、従来の回路設計方式を大幅に変更する必要がある。

【0004】 まず、当該論文における 1 つの手法は、図 14 に示すように、フリップフロップ 502 と 506 の間に遅延制御可能な素子 504 を入れ、フリップフロップ 502、506 に供給されるクロック 501 とは別のタイミング信号 503 によってフリップフロップ 502 の出力が被テスト回路 505 に入るタイミングを遅らせ、被テスト回路 505 に入力される信号の変化タイミングとフリップフロップ 506 にクロックが入るタイミングの差をクロック周期より短くすることにより、被テスト回路 505 の変化の許容範囲を縮めることにより、高いクロック周波数での試験を見かけ上実現している。その制御タイミングは、図 16 に示すような形となる。クロック 501 の周期は t_{72} と t_{74} の時間差 T であるが、制御信号 503 のタイミングを使用し、 t_{71} から t_{73} の時間差に当たる遅延をかけることにより、被テスト回路 505 に許される変化に要する時間も、 t_{73} と t_{74} の時間差に縮めている。しかしながら、遅延素子 503 には図 15 に示すようなラッチが使用され、これはテストを行うためのオーバーヘッドとしては大きいものとなるという問題がある。

【0005】 また、当該論文では、フリップフロップとして、図 17 に示すようなパルストリガーのフリップフロップを使用する方法も提案されているが、この手法では、図 18 に示すように、通常動作時のクロック 601 として、図 17 のマスター側ラッチからスレーブ側ラッチにデータが送られる期間を非常に短くする必要があり、 t_{81} と t_{82} の差が非常に小さいパルスで制御する必要があり、テスト時ではなく通常動作時に動作する回路設計法自体やクロック生成法を変更する必要性が生じるという問題がある。

【0006】 また、当該論文では、図 19 に示すように、マスターラッチ M のクロック MCK とスレーブラッチ S のクロック SCK を完全に独立させる方法も提案されているが、この手法も通常回路の設計法を変更する必要があるという問題がある。また、同様に、図 20 のように、マスターラッチとスレーブラッチを交互に配置するという手法も示されているが、この手法も通常回路の設計法の変更を必要とするという問題がある。また図 20 の回路においては、ラッチ間の入出力関係が入り乱れた複雑な場合には、交互に配置することが不可能となるという問題点もある。

【0007】 また、特開平 6-347520 では、図 21 に示すように、2 つのフリップフロップ、例えば 804 と 805 を使用して、記憶用のブロック 803 とし、見かけ上 1 つのフリップフロップ動作をさせる手法も提案されている。本手法では、マスター側フリップフロップをゲートドクロック構成とし、遅延テストを行う場合は、前段側ブロック 803 と後段側ブロック 816 に初期値をセットし、その後、後段側ブロックのみのクロック

3

クをイネーブルにし、後段側クロック 827 のみを動作させ遅延テストを行う手法が示されている。しかしながら、当該手法では前段側ブロック 803 のクロック 814 と後段側ブロック 816 のクロック 827 を異なる制御が可能な形にするか、前段側マスター側フリップフロップのゲート信号 813 と後段側マスターフリップフロップのゲート信号 826 を異なる制御が可能な形とする必要がある。つまり、テストするフリップフロップ間のクロックあるいはイネーブル信号を、別々の外部端子から制御するか、ANDゲートやORゲートを使用し片方のクロックあるいはイネーブル信号を入れる入力とし、他方を外部端子に接続するか、デコーダーに接続する等、別々の制御をするために、外部端子の増加を伴うか、内部素子数の増加を伴う等の問題があった。

【0008】

【発明が解決しようとする課題】上述した従来の遅延テスト方法は、高速なテスターを必要とするか、あるいは、必要としない場合においては、遅延テストのために、素子あるいは面積の大きなオーバーヘッドを伴うか、通常回路の設計方式まで変更しなければならないかのいずれかの欠点を有していた。

【0009】本発明の目的は、通常回路の設計法を変更することなく、動作周波数の低いテスターでLSIの高速な遅延テストを行う遅延テスト方法および該遅延テスト方法に使用するフリップフロップを提供することにある。

【0010】

【課題を解決するための手段】本発明の遅延テスト方法は、複数のクロック入力を持ち、該複数クロック入力のうち1つのクロック入力に固定値を設定することにより、通常動作時に固定値を設定されていない1本のクロックの1つのクロックエッジに入力と出力のタイミングが同期する1相動作をし、テスト時に複数のクロック入力を動作させ入力と出力のタイミングが別々のクロックエッジに同期する2相動作となるフリップフロップを使用し、出力の同期に使用するクロックのエッジのタイミングと入力の同期に使用するクロックのエッジのタイミングの差を使用して前記フリップフロップ間の遅延テストを行う。

【0011】本発明の遅延テスト方法は、通常動作時が入力と出力のタイミングを同一のクロックエッジに同期させる1相動作で、テスト時が入力と出力のタイミングを別々のクロックエッジに同期させる2相動作となるフリップフロップを使用して、フリップフロップ間の遅延のテストを行う方法とし、通常回路の設計方法を従来通りとし、かつフリップフロップの構成の変更のみであるため、他のオーバーヘッドを伴わず、出力の同期に使用するクロックのエッジのタイミングと入力同期に使用するエッジのタイミングの差を使用して、遅延テストの結果を判定するため、クロックの出力と入力のエッジのタ

4

イミングの差を小さくすることにより、テスターのクロック周波数を上げることなく、高速な遅延テストが可能になる。

【0012】本発明の遅延テスト方法に使用されるフリップフロップは、内部に複数あるいは1つのマスター側ラッチとスレーブ側ラッチを有し、マスター側ラッチのうち少なくとも1つのラッチは2つのクロック入力を持ち、フリップフロップの入力タイミングを示すクロックエッジの変化後のクロック値にあたる値を、前記マスターラッチの該2つのクロック入力のうちいずれか少なくとも1つのクロック入力に与えることによりホールド状態となる構成をとり、スレーブ側ラッチは該2つのクロック入力のうち1つのみを使用し、フリップフロップの入力タイミングを示すクロックエッジの変化後のクロック値にあたる値を与えることによりスルーモードとなる構成をとる。

【0013】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0014】図1は本発明の第1の実施形態の構成図である。101は通常動作時に使用する外部クロック端子、102はテスト動作時に外部クロック端子101とともに使用するテスト用外部クロック端子、105と106は遅延テストを行うフリップフロップのペアであり、104はフリップフロップ105と106以外の内部回路（通常回路）であり、遅延テストの対象となる部分を含んでいる。103は通常回路104の入力端子の群であり、107は通常回路104の出力端子の群である。

【0015】図2は、図1で使用される遅延テスト用フリップフロップ105、106の構成例を示したものである。左端と右端に書かれた信号名D、C、C2、Qは図1のフリップフロップ105、106に表記された端子名に対応する。Dはデータ入力、Cは通常クロック入力、C2はテスト用クロック入力、Qは出力である。

【0016】フリップフロップ105、106はマスターラッチ108とスレーブラッチ109で構成されている。ここでは、CMOSの構成例で例を示している。マスターラッチ108はトランジスタペア110、112とインバータ111、113、115とNORゲート114で構成され、スレーブラッチ109はトランジスタペア116、118とインバータ117、119、120、121で構成されている。トランジスタペア110、112、116、118の上半分がPチャネルMOSトランジスタ、下半分がNチャネルMOSトランジスタを示している。そのゲート入力にどの信号が接続されるかは、ゲート部分に対応した部分に信号名で示している。このゲート信号はNORゲート114、インバータ115、120、121の出力のいずれかであり、それぞれMCB、MC、CB、Cとして表記している。トラ

5

ンジスタバ 110 を例に接続を説明すれば、P チャンネル側のゲートには MC、つまりインバータ 115 の出力が接続され、N チャンネル側のゲートには MCB、つまり NOR ゲート 114 の出力が接続される。

【0017】このフリップフロップ 105、106 は、入力 C2 に論理値 0 を設定すると入力 C のみでフリップフロップ動作を行う構成になっている。この例では、論理値 0 から 1 に変化するタイミングでデータの入力が行われ、同時に出力が変化し、値が保持される。入力 C2 を変化させる場合は、入力 C2 と入力 C の両方が論理値 0 の状態からどちらか少なくとも一方に論理値 1 が入るタイミングで値が入力され、マスタラッチ 108 に値がホールドされ、入力 C が論理値 1 に変化するタイミングでスレーブラッチ 109 を介して値が出力される。

【0018】図 3 (1) は、通常時の制御波形図である。図の左端の 101 と 102 は、それぞれ図 1 の端子 101 と端子 102 の波形を表すことを示している。この表記法は図 3 (2) においても同様である。時刻 t_{11} と t_{13} は端子 101 の論理値 0 から 1 への変化タイミング、時刻 t_{12} と t_{14} は端子 101 の論理値 1 から 0 への変化タイミングを示している。通常時は端子 102 を論理値 0 に保つことにより、1 相同期のフリップフロップとして動作させるため、従来から設計法として 1 相同期を使用している場合には、回路の設計方を変更する必要はない。

【0019】図 3 (2) は遅延テスト時の制御波形図である。 t_{21} と t_{24} は端子 102 の論理値 0 から 1 への変化のタイミング、 t_{22} と t_{25} は端子 101 の論理値 0 から 1 への変化のタイミング、 t_{23} と t_{26} は端子 101 と 102 が同時に論理値 1 から 0 へと変化するタイミングである。ここでは、 t_{23} と t_{26} で同時に端子 101 と 102 が論理値 1 から 0 へ変化するとしているが、必ずしも、同時に変化する必要はない。この場合、 t_{21} と t_{24} のタイミングでフリップフロップ 105、106 にデータが入力され、 t_{22} と t_{25} のタイミングで出力される。よって、 t_{22} のタイミングで出力されたデータを t_{24} のタイミングで入力可能か否かを判定することによって遅延テストを行うことが可能となる。つまり、従来では、 t_{21} と t_{24} の時間差、つまりテスターの出力クロックの周波数に応じた遅延テストのみが可能であったが、ここでは t_{22} と t_{24} の時間差を使用した遅延テストが可能となる。つまり、周波数を縮めることなく、 t_{22} と t_{24} のタイミングの差を縮めることにより遅延テストが可能となる。

【0020】つまり、回路全体が、所定のクロック周波数で動作するか否かのテストは、 t_{22} と t_{24} の時間差を LSI の実動作周波数の周期となるように設定してテストパターンを入力し、所定の出力が得られるか否かを検査することで実行可能である。さらに、特定パスの遅延テストを行う場合、例えば、フリップフロップ 105 と 1

6

06 の間のパスの遅延テストを行う場合で、フリップフロップ 105 と 106 間はインバータと等価になる論理構成となっているとした場合、 t_{21} のタイミングでフリップフロップ 106 に論理値 0 を入力するように設定し、フリップフロップ 105 に論理値 0 を入力するように設定する。 t_{22} と t_{24} のタイミングの差がフリップフロップ 105 と 106 間の許容パス遅延となるように t_{22} の変化タイミングを設定し、フリップフロップ 105 から値を出力させ、 t_{24} のタイミングでフリップフロップ 106 に値を取り込む。そのときにフリップフロップ 106 の値が論理値 0 から 1 に変化しているか否かを、その後、その値を出力端子に伝播させることにより判定可能である。特定のパスの遅延テストを行う場合は、特定のパスを活性化している以外のタイミングでは、フリップフロップの出力と入力のタイミングの差やクロックの周期を短くする必要はない。

【0021】この方法でも、フリップフロップのオーバーヘッドは伴うが、CMOS 構成の場合を仮定しても、通常構成に対して増加するのは、図 2 の例では NOR ゲート 114 とインバータ 115 のみであり非常に小さい。

【0022】図 4 はフリップフロップ 108、109 の第 2 の構成例で、第 1 の構成例の入力および出力のタイミングのエッジを反転させた構成例で、図 2 のフリップフロップ 108 の NOR ゲート 114 の代りに NAND ゲート 122 が用いられた構成例である。

【0023】図 5 (1) は通常時の制御波形図である。図の左端の 101 と 102 は、それぞれ、図 1 の端子 101 と端子 102 の波形を表していることを示している。この表記方法は図 5 (2) においても同様である。 t_{31} と t_{33} は端子 101 の論理値 1 から 0 への変化タイミング、 t_{32} と t_{34} は端子 101 の論理値 0 から 1 への変化タイミングを示している。通常時は、端子 102 を論理値 1 に保つことにより、1 相同期のフリップフロップとして動作させる。

【0024】図 5 (2) は遅延テスト時の制御波形図である。 t_{41} と t_{44} は端子 102 の論理値 1 から 0 への変化のタイミング、 t_{42} と t_{45} は端子 101 の論理値 1 から 0 への変化のタイミング、 t_{43} と t_{46} は端子 101 と 102 が同時に論理値 0 から 1 へと変化するタイミングである。ここでは、 t_{43} と t_{46} で同時に端子 101 と 102 が論理値 0 から 1 へ変化するとしているが、必ずしも、同時に変化する必要はない。この場合、 t_{41} と t_{44} のタイミングでフリップフロップ 105、106 にデータが入力され、 t_{42} と t_{45} のタイミングで出力される。よって、ここでは t_{42} と t_{44} の時間差を使用した遅延テストが可能となる。

【0025】図 6 はフリップフロップの第 3 の構成例を示す図である。第 3 の構成例のフリップフロップ 105、106 は第 1 の構成例のフリップフロップ (図 2)

7

にセット入力Sとリセット入力Rを追加したもので、それに伴いインバータ111, 113, 117, 119の代わりにNORゲート123, 124, 125, 126が設けられている。

【0026】この例では、セットもリセットも論理値1でイネーブルになる構成となっている。このように、セットやリセット信号の追加は通常のフリップフロップと同様に行うことが可能である。

【0027】図7は本発明の第2の実施形態の回路構成図である。

【0028】本実施形態はスキャンパスを使用した場合の例である。207と208はスキャンパスフリップフロップである。201は通常クロック端子、202はテスト用クロック端子、203はシフトモードと通常モードの切り替え信号用端子、204はスキャン入力端子、209はスキャン出力端子、205は通常の入力端子群、210は通常の入力端子群であり、206は通常回路である。ここでは、通常回路206の中にスキャンパスフリップフロップ207と208以外のスキャンパスフリップフロップも含んでいる。

【0029】図8はスキャンパスフリップフロップ207と208の構成例を示す図であり、図8の右端と左端に示す信号名D, SIN, SMC, C, C2, Q, SOTは、図7中のスキャンパスフリップフロップ207, 208に表記された信号に対応しており、それぞれ、データ入力、スキャンデータ入力、シフトモード信号入力、通常クロック入力、テストクロック入力、データ出力、スキャンデータ出力を表している。ここでは、データ出力とスキャンデータ出力を分けているが、共用しても問題はない。また、図7において、スキャンパスフリップフロップ207の20
スキャンデータ出力とスキャンパスフリップフロップ208の20
スキャンデータ入力が接続されているが、スキャンパスのシフトモード時の接続順はどのようになっていても問題はない。

【0030】スキャンパスフリップフロップ207, 208はセレクト211とマスタラッチ212とスレーブラッチ213で構成されている。

【0031】セレクト211は、セレクト211に表記された記号Sの入力が0のとき記号0の入力が選択され、記号Sの入力が1のとき記号1の入力が選択される。つまりこの例では、SMCの値が0のとき通常回路206のデータが選択入力され、SMCの値が1のとき、スキャンインデータ、つまりシフトデータが選択入力される。マスタラッチ212はトランジスタペア214, 216とインバータ215, 217, 219とNORゲート218で構成され、スレーブラッチ213はトランジスタペア220, 222とインバータ221, 223, 224, 225で構成されている。

【0032】スキャンパス構成とした場合、テストすべき経路に値を設定し、テスト結果を観測することが容易

8

となるが、遅延テスト方法としては同様であり、端子201が論理値0から1に変化するタイミングと端子202が論理値0から1に変化するタイミングの差を利用してテストを行う。

【0033】図9はスキャンパスを使用した本発明の第3の実施形態の構成図である。307と308はスキャンパスフリップフロップである。ここで使用しているスキャンパス方式はクロックドスキャン方式であり、通常データ入力とスキャンデータ入力の選択にセレクト信号を使用するのではなく、クロックを使用した方式である。301は通常クロック端子、302はテスト用クロック端子、303はスキャンパスをシフトさせるためのクロック端子、304はスキャン入力端子、309はスキャン出力端子、305は通常の入力端子群、310は通常の入力端子群であり、306は通常回路である。ここでは通常回路の306の中にスキャンパスフリップフロップ307, 308以外のスキャンパスフリップフロップも含んでいる。

【0034】図10はスキャンパスフリップフロップ307, 308の構成例を示す図である。図10の右端と左端に示す信号名D, SIN, C, C2, SC, Q, SOTは、図9中のスキャンパスフリップフロップ307, 308に表記された信号に対応しており、それぞれデータ入力、スキャンデータ入力、通常クロック入力、テストクロック入力、スキャンシフトクロック入力、データ出力、スキャンデータ出力を表している。ここでは、データ出力とスキャンデータ出力を分けているが、共用しても問題はない。また、図9において、スキャンパスフリップフロップ307の20
スキャンデータ出力とスキャンパスフリップフロップ308の20
スキャンデータ入力が接続されているが、スキャンパスのシフトモード時の接続順はどのようになっていても問題はない。

【0035】スキャンパスフリップフロップ307, 308はマスタラッチ311とスレーブラッチ312とインバータ331, 332で構成されている。マスタラッチ311はトランジスタペア313, 315, 317, 319とインバータ314, 316, 318, 320, 322とNORゲート321で構成されている。スレーブラッチ312はトランジスタペア323, 324, 326, 327と、インバータ325, 328, 329, 330で構成されている。トランジスタペア313, 315, 317, 319, 323, 324, 326, 327の表記法は、図2と同じである。

【0036】本実施形態では、入力SCを論理値0に固定して、入力Cと入力C2を使用した場合に、通常データ入力である入力Dの値を入力し、図2と同じ動作をし、入力Cと入力C2ともに論理値0に設定し、入力SCを動作させた場合に、スキャンデータ入力SINの値を入力し、スキャンデータ出力SOTに出力する。この例でも、スキャンパス構成とすることにより、テストす

10

20

30

40

50

9

べき経路に値を設定し、テスト結果を観測することが容易となるが、遅延テストの方法としては同様であり、端子301が論理値0から1に変化するタイミングと端子302が論理値0から1に変化するタイミングの差を利用してテストを行う。

【0037】図11は本発明の第4の実施形態の構成図である。この例では、外部クロック端子を1本としており、テスト用のクロックはクロック生成器403によって生成されている。401は外部クロック端子であり、通常動作時にもテスト時にも使用する。404と405は遅延テストを行うフリップフロップのペアであり、406は内部回路であり、遅延テストの対象となる部分を含んでいる。402は通常回路406の入力端子群であり、407は通常回路406の出力端子群である。フリップフロップ404と405には、例えば図2の構成のものが使用される。403はクロック生成器であり、図中の表記で入力SELに通常モードを示す値が入る場合はクロック生成器403の出力C2が0となり、出力Cに直接入力CLKの値が出力され、入力SELにテストモードを示す値が入る場合は、出力Cと出力C2にそれぞれ別タイミングのクロックが出力される構成となっている。

【0038】図12は図11中のクロック生成器403の構成例を示す図である。図12において、左端と右端に表記された信号名であるCLK、SEL、C、C2は図11中のクロック生成器403の信号名と対応し、それぞれクロック入力、セレクト入力、通常クロック出力、テストクロック出力である。クロック生成器403はインバータ408とセクタ409で構成されている。セクタ409は、Sと表記された入力が論理値0のとき0と表記された入力を選択し、入力Sが論理値1のとき1と表記された入力を選択する。

【0039】図13(1)は図12のクロック生成器403を使用した場合の通常動作時の制御波形図であり、図13(2)は図12のクロック生成器403を使用した場合のテスト時の制御波形図である。

【0040】この例では、図13(1)に示すように、入力SELが論理値0の場合、出力C2は常に論理値0となる。また図13(2)に示すように、入力SELが論理値1の場合、出力C2から入力CLKの反転の値が出力される。t51、t53、t61、t65は入力CLKが論理値0から1に変化するタイミングを示し、t52、t54、t63、t67は入力CLKが論理値1から0に変化するタイミングを示している。出力C2の変化タイミングは入力CLKから遅れているが、これはインバータ408とセクタ409の遅延により遅らせているものとする。

【0041】図11の出力Cと出力C2がその駆動先のフリップフロップ404、405に到達するタイミングの関係、つまり各フリップフロップ404、405のク

10

ロック入力の変化のタイミングの関係は、例えば、図11であれば、フリップフロップ404と405において、入力C2が論理値1から0に変化するタイミングは、入力Cが論理値0から1に変化するタイミングよりも遅らせるべきである。これは、スレーブ側ラッチから値が出力される前に、マスター側のラッチがホールド状態からスルー状態に変化すると、マスター側ラッチにホールドされていた値でなく、新たにマスター側ラッチに入ってくる値がスレーブ側ラッチを通して出力されるため、遅延テストが困難となるためである。ここでは、フリップフロップ404、405の入力C2が論理値1から0に変化するタイミングを、入力Cが論理値0から1に変化するタイミングよりも遅らせるために、インバータ408あるいはセクタ409の遅延を使用して調整をはかる。回路構成上必ず、入力C2が論理値1から0に変化するタイミングが、入力Cが論理値0から1に変化するタイミングよりも後になる場合はこの遅延調整は不要である。この例ではt61とt64のタイミングの差で遅延テストを行うことが可能である。この時間は、挿入すべきインバータ408やセクタ409の遅延を考慮する必要があるが、基本的には、クロック周波数でなく、1つの外部クロックのパルスの幅をもとに遅延テストが可能である。

【0042】

【発明の効果】以上説明したように本発明は、通常動作時が入力と出力のタイミングを同一のクロックエッジに同期させる1相動作で、テスト時が入力と出力のタイミングを別々のクロックエッジに同期させる2相動作となるフリップフロップを使用して、フリップフロップ間の遅延のテストを行う方式とし、通常回路の設計方式を従来通りとし、かつフリップフロップの構成の変更のみであるため他にオーバーヘッドを伴わず、出力の同期に使用するクロックのエッジのタイミングと入力の同期に使用するエッジのタイミングの差を使用して、遅延テストの結果を判定するため、クロックの出力と入力のエッジのタイミングの差を小さくすることにより、テストのクロック周波数を上げることなく、高速の遅延テストが可能になる効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示す回路構成図である。

【図2】図1中のフリップフロップ105、106の第1の構成例を示す回路図である。

【図3】第1の実施形態の通常動作時(図3(1))、遅延テスト時(図3(2))の制御波形図である。

【図4】図1中のフリップフロップ105、106の第2の構成例を示す回路図である。

【図5】図4のフリップフロップを使用したときの第1の実施形態の通常動作時(図5(1))、遅延テスト時(図5(2))の制御波形図である。

11

【図6】フリップフロップの第3の構成例を示す回路図である。

【図7】本発明の第2の実施形態を示す回路構成図である。

【図8】図7中のフリップフロップ207、208の構成例を示す回路図である。

【図9】本発明の第3の実施形態を示す回路構成図である。

【図10】図9中のフリップフロップ307、308の構成例を示す回路図である。

【図11】本発明の第4の実施形態を示す回路構成図である。

【図12】図11中のクロック生成器403の構成図である。

【図13】第4の実施形態の通常動作時（図13（1））、遅延テスト時（図13（2））の波形図である。

【図14】第1の従来例の回路構成図である。

【図15】図14の回路に使用される遅延制御回路の回路図である。

【図16】図14の制御波形図である。

【図17】第2の従来例の回路構成図である。

【図18】図17の制御波形図である。

【図19】第3の従来例の回路構成図である。

【図20】第4の従来例の回路構成図である。

【図21】第5の従来例の回路構成図である。

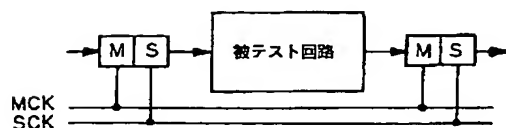
【符号の説明】

101 通常クロック入力端子
102 テストクロック入力端子
103 通常入力端子群
104 通常回路
105, 106 遅延テスト用フリップフロップ
107 通常出力端子群
108 マスターラッチ
109 スレーブラッチ
110, 112, 116, 118 トランジスタペア
111, 113, 115, 117, 119, 120, 121 インバータ
114 NORゲート
122 NANDゲート
123, 124, 125, 126 NORゲート
201 通常クロック入力端子

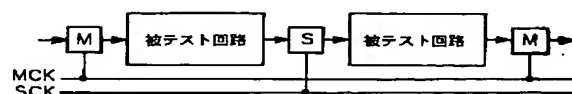
12

*202 テストクロック入力端子
203 シフトモードと通常モードの切り替え制御信号入力端子
204 スキャン入力端子
205 通常入力端子
206 通常回路
207, 208 遅延テスト用スキャンフリップフロップ
209 スキャン出力端子
210 通常出力端子群
211 セレクタ
212 マスターラッチ
213 スレーブラッチ
214, 216, 220, 222 トランジスタペア
215, 217, 219, 221, 223, 224, 225 インバータ
218 NORゲート
301 通常クロック入力端子
302 テストクロック入力端子
303 スキャンクロック入力端子
304 スキャン入力端子
305 通常入力端子群
306 通常回路
307, 308 遅延テスト用スキャンフリップフロップ
309 スキャン出力端子
310 通常出力端子
311 マスターラッチ
312 スレーブラッチ
313, 315, 317, 319, 323, 324, 326, 327 トランジスタペア
314, 316, 318, 320, 322, 325, 328, 329, 330, 331, 332 インバータ
321 NORゲート
401 通常クロック入力端子
402 通常入力端子群
403 クロック生成器
404, 405 遅延テスト用フリップフロップ
406 通常回路
407 通常出力端子群
408 インバータ
*409 セレクタ

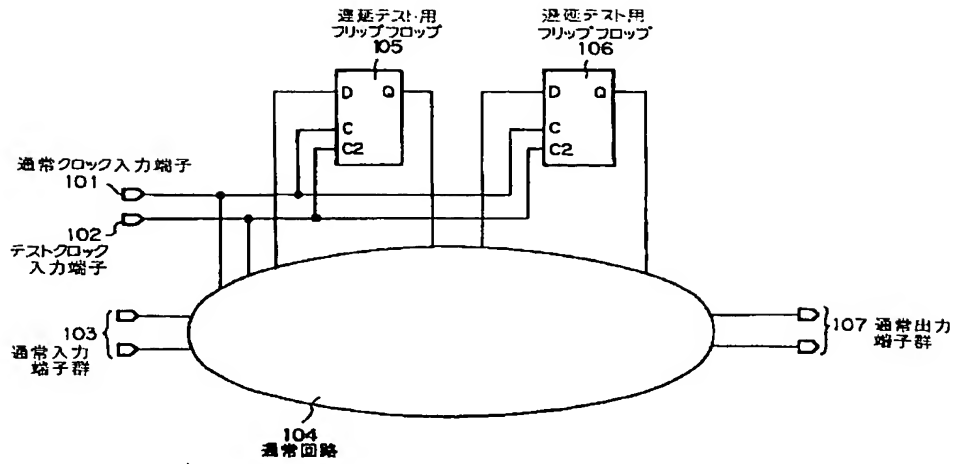
【図19】



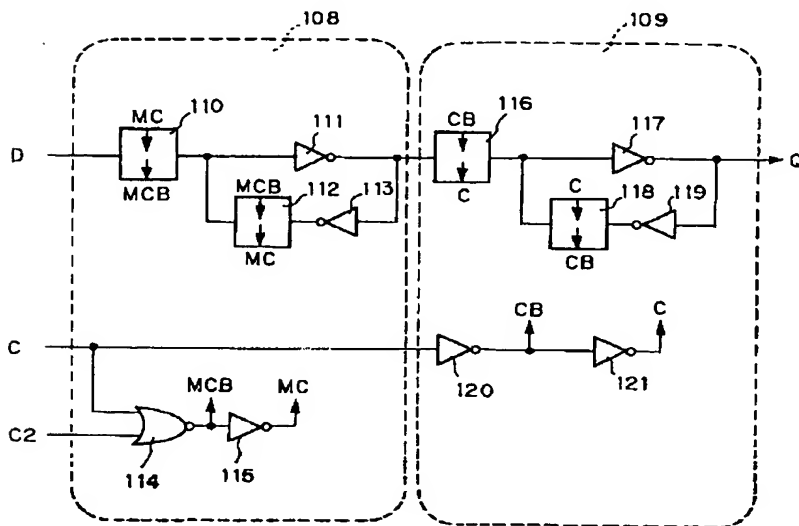
【図20】



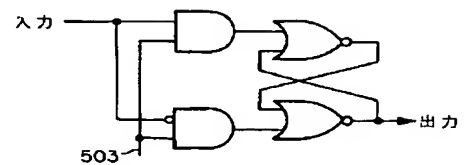
【図1】



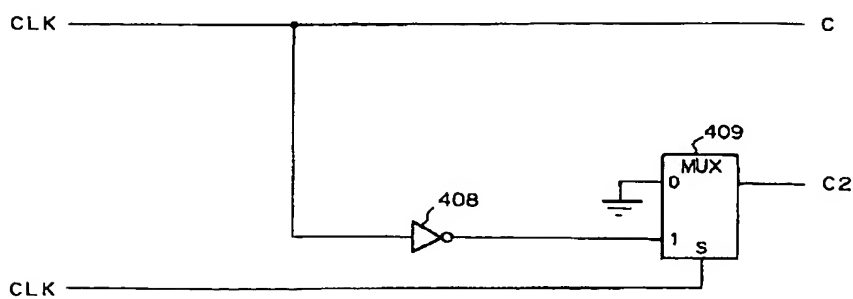
【図2】



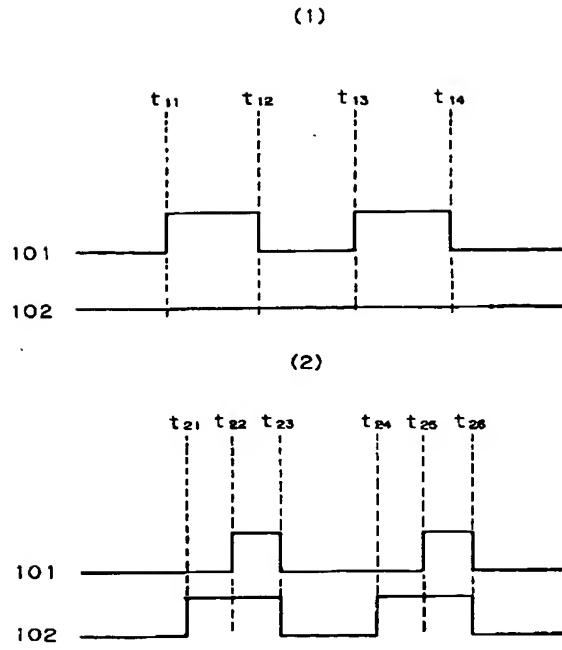
【図15】



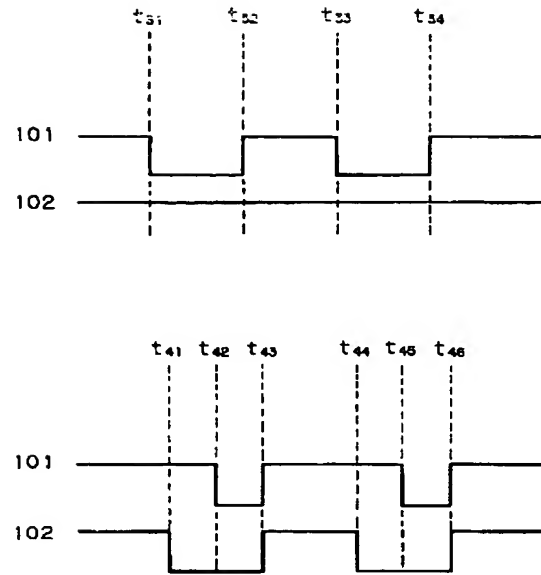
【図12】



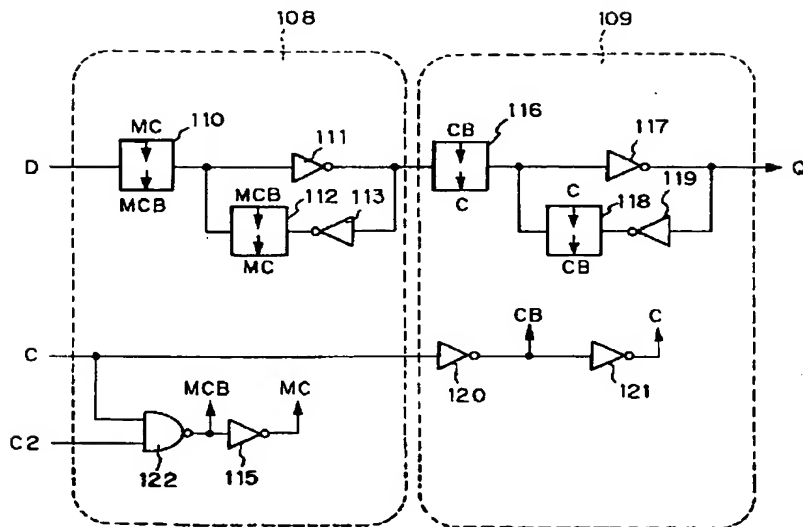
【図3】



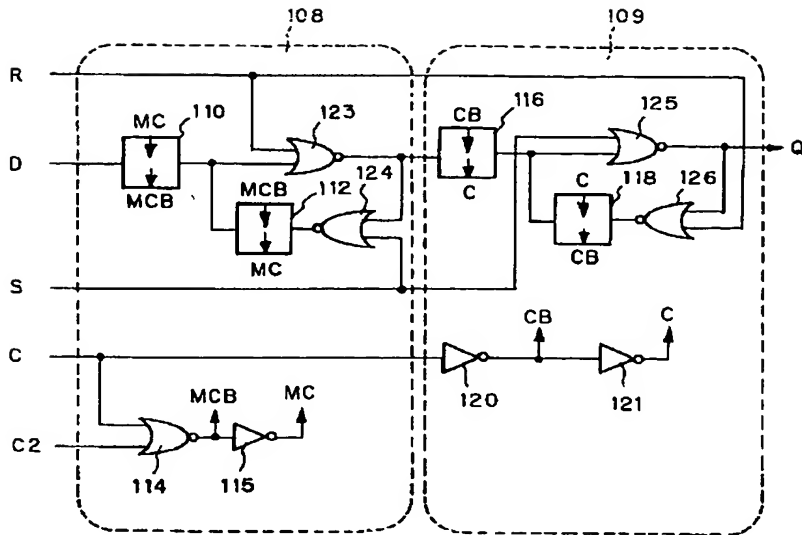
【図5】



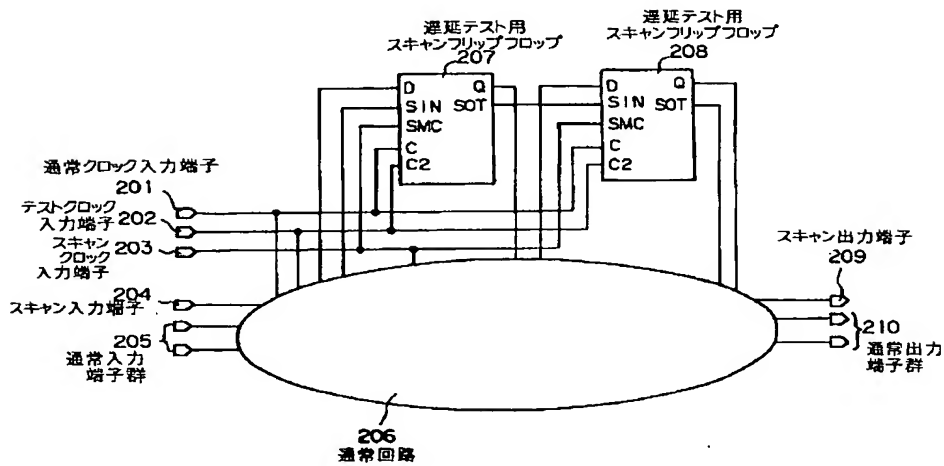
【図4】



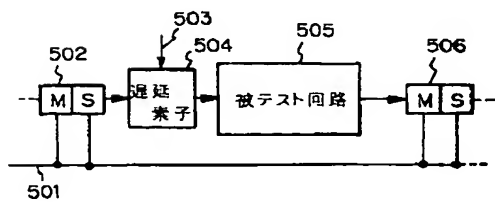
【図6】



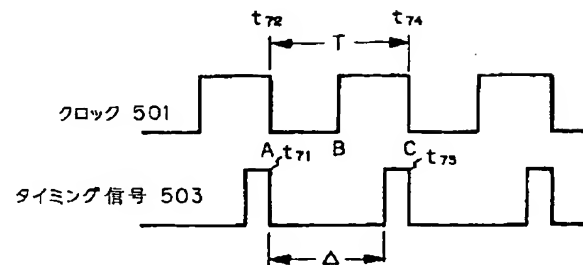
【図7】



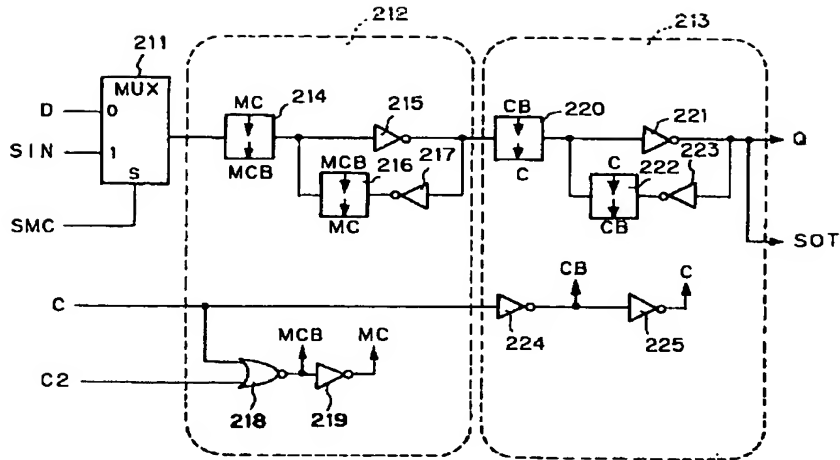
【図14】



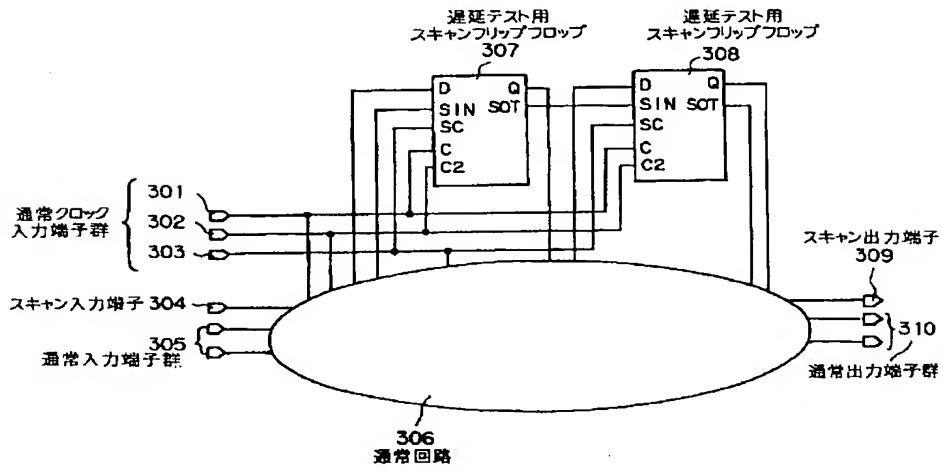
【図16】



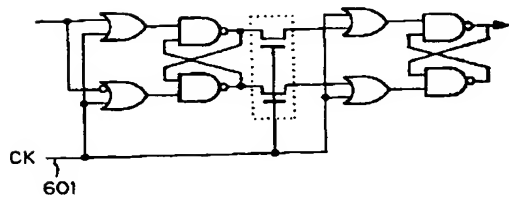
【図8】



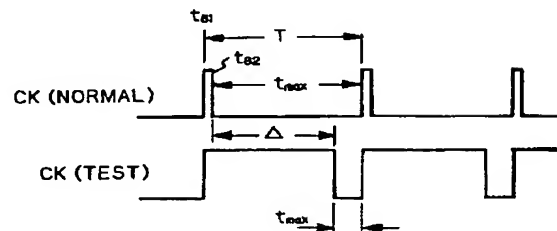
【図9】



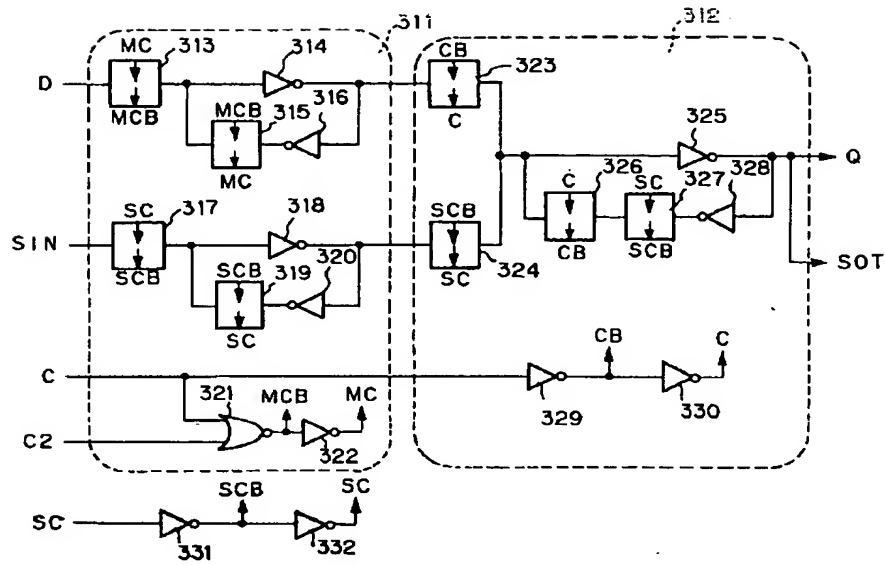
【図17】



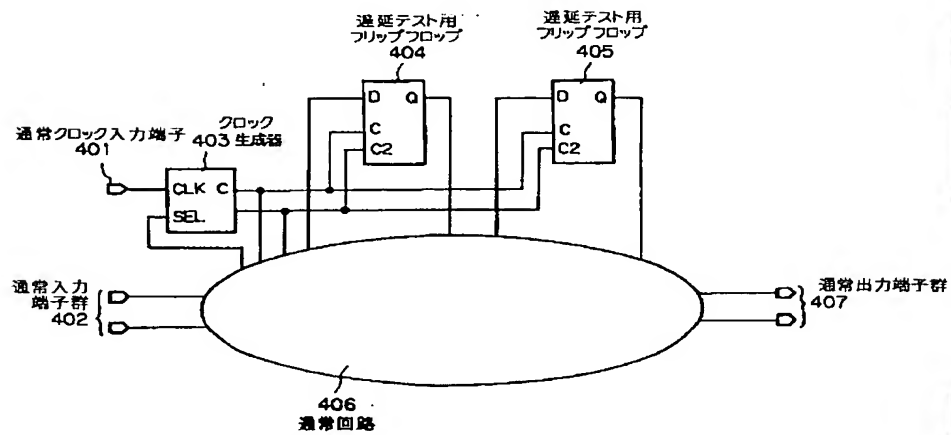
【図18】



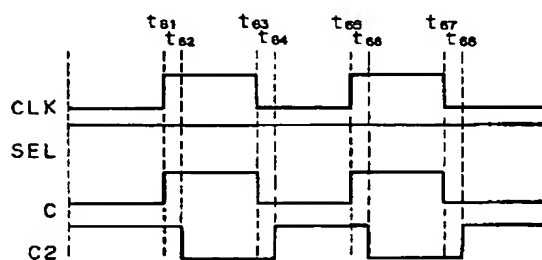
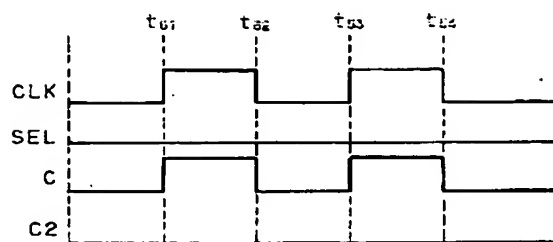
【図 10】



【図 11】



【図 13】



【図 21】

